

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233547

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01S 3/18

(21)Application number : 09-034800

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 19.02.1997

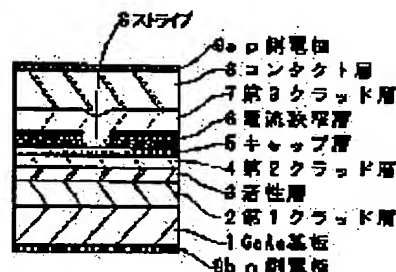
(72)Inventor : MATSUBARA KUNIO

(54) SEMICONDUCTOR LASER ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor laser element wherein little crystal defect exists in an interface between a stripe of a third clad layer and a current constriction layer, and its manufacturing method.

SOLUTION: A first clad layer 2 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a first conductivity type, an active layer 3 of $\text{Al}_y\text{Ga}_{1-y}\text{As}$ composition, a second clad layer 4 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a second conductivity type, a cap layer 5 of GaAs of a second conductivity type, a current constriction layer 6 of $\text{Al}_w\text{Ga}_{1-w}\text{As}$ composition which is divided into two areas parallel to laser optical axis of a first conductivity type, a third clad layer 7 of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ composition of a second conductivity type and a GaAs contact layer 8 of a second conductivity type are sequentially laminated on one main surface of a GaAs substrate 1 of a first conductivity type, and a part between the third clad layer 7 and the current constriction layer 6 is a stripe S. In such an AlGaAs semiconductor laser element, an angle inside a stripe of an interface between the stripe S and the current constriction layer 6 is formed to an obtuse angle to a cap layer surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

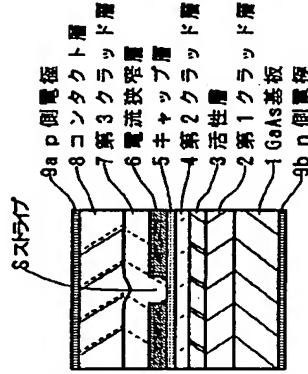
[Date of requesting appeal against examiner's]

(51) 出庫元号 H01S 3/18	出庫元号 H01S 3/18	PI H01S 3/18	寄託請求 未請求 請求項の数 8 OL (全 6 頁)
(21) 出庫番号 特願平9-34600	(71) 出人 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号	(72) 発明者 松原 邦道 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 代理人 井理士 徳部 正治	
(22) 出庫日 平成9年(1997)2月19日			

(54)【発明の名称】 半導体レーザ素子およびその製造方法

(57) [要約]

【説明】第3クラッド層のストライプと電流挟層層との界面に結晶欠陥が少なく、信頼性の高い半導体レーザ素子とその製造方法を提供する。

[illegible]

【特許請求の範囲】

【請求項1】第1導電型のG.A.s基板の一主面に、
第1導電型のAl; Ga_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al; Ga_{1-x}As (0 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl; Ga_{1-x}As の組成の第3クラッド層、第2導電型のGaAsのキャップ層、第1導電型のLED活性層、第2導電型のAl; Ga_{1-x}As (0 ≤ x ≤ 1) の組成の第4クラッド層、第2導電型のGaAsのキャップ層、第2導電型のLED活性層と平面上に2つの区域と分割されているAl; Ga_{1-x}As (0 ≤ x ≤ 1) の組成の電流拡散層、第2導電型のAl; Ga_{1-x}As の組成の第3クラッド層、第2導電型のAl; Ga_{1-x}As の組成の第4クラッド層、第2導電型のGaAsのコンタクト層が順に堆積されており、第3クラッド層の電流拡散層に挟まれた部分とストライプとするAl; Ga_{1-x}As系の半導体層、第4クラッド層の電流拡散層に挟まれた部分とストライプとするAl; Ga_{1-x}As系の半導体層、第3クラッド層の電流拡散層と第4クラッド層の電流拡散層との界面とストライプ内の角はキャップ層面に対して傾角であることと特徴とする半導体層構造。

【請求項2】第1導電型のGaAs基板の表面上に、第1導電型のAl_{0.1}Ga_{0.9}As (0.05 ≤ x ≤ 1) の組成の第1クラッド層、Al_{0.1}Ga_{0.9}As (0.05 ≤ x ≤ 1) の組成の第2クラッド層、第2導電型のAl_{0.1}Ga_{0.9}Asの組成の第3クラッド層、第2導電型のGaAsのキャップ層を順次成長させ、水でエポタライプ形成のためのマスクの形成およびAl_{0.1}Ga_{0.9}Asの組成の第3クラッド層の成長させる工程を含む、請求項1に記載の半導体レーザ素子の製造方法において、前記マスクは、第1の誘電体層のトップコート層に、第1の誘電体層のエッチング速度より大きいことを特徴とする半導体レーザ素子の製造方法。

【請求項3】前記第1の誘電体層は酸化ケイ素層であり、前記第2の誘電体層は窒化アルミニウム層であることとを特徴とする請求項2に記載の半導体レーザ素子の製造方法。

【請求項4】前記第1の誘電体層は電子ビーム蒸着された酸化ケイ素層であり、前記第2の誘電体層はスパッタまたはCVDにより成膜された酸化ケイ素層であること
を特徴とする請求項2に記載の半導体レーザー素子の製造方法。

【請求項5】前記第1の誘電体層は電子ビーム蒸着された窒化ケイ素層であり、CVDにより成膜された酸化ケイ素層であることを特徴とする請求項2に記載の半導体レーザ素子の製造方法。

【請求項6】前記マスキの形成はフッ化水素酸の水溶液により、第1の誘電体層および第2の誘電体層は同時にエッチングされることを特徴とする請求項3または4に記載の半導体レーザ素子の製造方法。

【請求項7】前記マスキの形成はフッ化水素酸の水溶液により、第1の誘電体層および第2の誘電体層は同時にエッチングされることを特徴とする請求項3または4に記載の半導体レーザ素子の製造方法。

【請求項8】前記マスクの形成はフッ化水素ガスを用い、

て、第1の誘電体層および第2の誘電体層は同時にドラ
イエッチングされることを特徴とする請求項3ないし5
に記載の半導体レーザー装置の製造方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、Al、Ga、 γ As ($0 \leq \gamma \leq 1$) からなる活性層を有し、近赤外光を出力する Al_xGa_{1-x}As系 ($0 \leq x \leq 1$) 半導体レーザ素子に関する。

[0002]

【従来の技術】単一横モードで共振するAl_xGa_{1-x}As [0 ≤ x ≤ 1] 半導体レーザ器（以下L.D素子と略す）の従来の構造型を図 9 型をもとに説明する。この素子はGaAs 基板の薄型型を n 型とし、p 型の層はGaAs 全ての導電型を逆にする。図 3 は従来の L.D 素子のへき面開口に平行な断面構造である。し、L.D 素子のへき面の開口は基板に垂直な面である。n 型の GaAs 基板 1 のへき面に垂直な面（図 9 型）と、図 2 上の n 型の開口クラック層 2、活性層子面 3、図 9 型の

ラッド層4、p型のGaAsキャップ層5、n型の電流拡散層6、p型の第3クラッド層7、p型のコンタクト層8。この順に積層されている。ただし、電流拡散層6は素子面の中央部を一面と側面とに貫通している層が、 $2\sim 5\mu\text{m}$ のストライプ状の部分（以後ストライプと呼ぶ）を除いて2つの部分に別れている。ストライプは第3クラッド層7で被覆されており、GaAsキャップ層5と第3クラッド層7で被覆されており、LDD素子の両面相互には電流を流すためのp型電層9、n型電層9aがそれぞれ形成される。p側からn側順に電流の方向は電層9a、電層9、p側からn側順に電流の方向は電層9、電層9a、電層9a、電層9の順に繰り返される。

0.17 cm³、厚さ0.3 μm)、GaAsキャップ層5 (p型 GaAs、キャリア濃度1×10¹⁸ cm⁻³、厚さ0.003 μm)を順次成長させる。

【0004】なお、この60aキャップ図5は、以降の酸化形成工程とそのパターンニング工程が直接60a層に適用されると革底抗のAl酸化膜の生成されるので、これを防止するために取付ける。次に、このウェハ上に厚さ40nmの酸化ケイ素層をスタンプタにより形成し、フォトリソグラフィ工程を施した後、フッ化水素酸を用いてパターンニングを行いキャップ図5の上記54aのストライプ

状のマスク10を形成する(図4(a))。

【0005】次に、再度MOCVD法を用いて電圧増幅器6 (n -型GaAs, キャリヤ濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.3 μm) を成長させる。この時、増幅器6が起り酸化性化合物層 (マスカ10) 上にGaAsは成長しない (図4 (b))。そしてMOCVD装置から取り出し、マスカ10を除去したのちに、またMOCVDにより第3クランプ層7 (p -型Al_{0.5}Ga_{0.5}As, キャリヤ濃度 $5 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.8 μm) およびコンタクト層8 (p -型GaAs, キャリヤ濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.5 μm) を成長させる。最後に、ウェンズ上の p -側電極9、 n -側電極9bを形成する (図4 (c))。

【0006】上記の製造工程の後、ウェハをへき出し（へき開面は図4の紙面に平行）バーとし、さらにこのバーをスクラップして、個別のレーザ素子は得られる。

【0007】
【発明が解決しようとする課題】しかしながら、上記の
ようにして製造されるLED素子には以下のような問題点
がある。図5は従来の製造方法におけるストライプ形成
師のウエハへのストライプ箇の拡大断面図であり、

(a) は電流変容層形成後、(b) は第3クラッド層形成後である。酸化ケイ素からなるマस्क10は、フッ酸を用いたウェットエッチングにより形成されるが、フッ酸は両方エッチングのためマस्कの断面形状はマस्कの両側面が均方エッチングに向かう傾斜しており、キャップ層界面に向かつて傾斜は緩やかになっている。この様に傾斜している場合には、電流変容層6はマस्क10の両側の厚さが約5μm以下の薄い部分では選択成長が速く、マスキング10(酸化ケイ素)のキャップ層の厚さ以上に電流変容層6が成長してしまう(図5(a))。従って、マスキング10を除去した後、電流変容層6をキャップ層5の境界に接しGが生じる。次に形成される第3クラッド層7は境界部分が多く、その付近は急み、欠陥部Dを生ずることとなる(図5(b))。

【0008】この結晶欠陥は活性期3に異常なストレスを生じさせ、葉子の寿命を劣化させる。上記の従来の製法によらず、本発明の方法により、1枚のクエハより無作為に50個取り出し、早期成熟試験を行ったところ、300時間以上で劣化する葉子が135個生じ、不良率は27%であった。

(3) 特開平10-233547

【0009】この発明の目的は、第3クラッド層のスト
ライプと電流流弊層との界面に結晶欠陥が少なく、信頼
性の高いD素子を提供し、また、前記界面に結晶欠陥
が生じないD素子の製造方法を提供することにある。

【課題】解決するための手段】上記の目的を達成するために、第1導電型のGaAs基板の一主面上に、第1導電型のAl_xGa_{1-x}As (0 ≤ x ≤ 1) の組成の第1クラッド層、Al_yGa_{1-y}As (0 ≤ y ≤ x ≤ 1) の組成の活性層、第2導電型のAl_zGa_{1-z}Asの組成の第2クラッド層、第3導電型のGaAsのキャップ層、第1導電型のレーザ光出力平行に2つの区域に分割されているAl_sGa_{1-s}As (0 ≤ s ≤ 1) の組成の電流挟持層、第2導電型のAl_tGa_{1-t}Asの組成の第3クラッド層、第3導電型のGaAsのコンタクト層が順に形成されてなり、第2クラッド層の電流挟持層図に挟まれた部分をストライプとするとするAlGaAsの電体半導体レーザ素子において、前記ストライプの前記電流挟持層との界面の角度は任意の角度に設定されることとする。

20

【0011】第1導電型のGaAs基板の一面上に、
第1導電型のAl:Ga_{1-x}As (0 ≤ x ≤ 1)の組成の第1
クラッド層、Al_yGa_{1-y}As (0 ≤ y ≤ 1)の組成の
活性層、第2導電型のAl:Ga_{1-x}Asの組成の第2クラ
ッド層、第2導電型のGaAsのキャップ層を順次成長させ、

たいでマトリライプ形成のためのマスクの形成および、
Ga→As ($0 \leq w \leq 1$) の組成の電流効率増、第2導電
型のLi, Ga→As の組成の第3クエドの成長させる
工程を含む、請求項1に記載の半導体レーザ素子の製造
方法を含む、前記マトリは2層の誘電体層からなり、
キャップ層に近い第1誘電体層のエンベッping速度は地
面の第2誘電体層のエンベッping速度より大きい良い。
[0012] 前記第1誘電体層は酸化ケイ素層である
、前記第2の誘電体層は酸化アルミニウム層であると
良い。前記第1の誘電体層は電子ビーミ素子とされた酸化
ケイ素層であり、前記第2の誘電体層はスパッタした
CVDにより成膜された酸化ケイ素層であるという、前
記第1の誘電体層は電子素子とされた酸化ケイ素層
であり、CVDにより成膜された酸化ケイ素層であると
良い。

【0013】前記マスクの形成はフッ化水素酸の水溶液により、第1の誘電体層および第2の誘電体層は同時にエッチングされると良い。前記マスクの形成はフッ化水素酸の水溶液により、第1の誘電体層および第2の誘電体層は同時にエッチングされると良い。前記マスクの形成はフッ化水素酸の水溶液を用いて、第1の誘電体層および第

50

2の誘電体層は同時にドライエッチングされると良い。
[0014]

【**果明の実地の形態**】図1は本果明に依る10果子のべに開いて平均断面図である。扇輪成は従来のLD珠子と同じであるので説明を省く。従来の果明と異なっているところはストロブの電圧差が図6とストロブの角度で、この果面がキャップ図5となすストロブの角度は昔に鈍角である。この接線形状であることにより、ストロブ内界と外面近傍には若干欠けが少なく、種子至小であるといっている。

【0015】本発明に係る上記筒形状の形成はまた本発明に係る製造方法にも関わるので、以下これを説明する。キャップ部形成までは従来の製造方法に同じなので、説明を省略する。図2は本発明に係るLED素子の製造方法におけるストライプ形成前後のウェハのストライプ部の拡大断面図であり、(a)は電流誘導層形成後、(b)は第3クラッド層形成後である。

[0016] 電流発生部6の成膜範囲を制限するマスクは第1マスク10aと第2マスク10bの2層としてある。そして、第1マスク10aのエッチング速度は第2マスク10bのそれより大きいように、両面に異なる材料を覆っている。従って、マスク形成後のエッチングによって、第1マスク10aのエッチングされる側面は第2マスク10bの内側のみに残り形成されない。厚さ5nm以下の遮光膜が起こらない層は形成されない。マスクリンダミ、電流発生部6の側面はマスク部から鋭角となる。本実施形態では電流発生部6の縁にはマスクが入り込み、電流発生部6の側面はマスク部から鋭角となる。本実施形態では第3マスク7はステップ5で表面と電流発生部6の側面に用いられる部分を完全に埋め、格子線は生じない。故つて至るも発生しない。

【0017】以下、本発明を実施例に基づき説明する。

実施例 1

本発明の製造工程は従来のものと、ストラップ用のマスキングテープを貼付する点に異なるとは思われるが、この点のみを比較して、その形成方法と形状が異なるので、この点のみを説明する。本実施例では、フッ化水素酸に対するエポキシ樹脂の耐性があり、かつ、フッ化アルミニウムを用いて成膜可能な、大きさ第1層のフッ化アルミニウムを、ストッキング強度の小さい層として積層した。先に、キャップ層の上にスパッタにより厚さ30nm程度のフッ化アルミニウム層を成膜した。スパッタ圧力は 2×10^{-1} Pa、パワーは30mWとした。続いてスパッタにより40nm程度のフッ化アルミニウム層を成膜した。スパッタ圧力は同様に 2×10^{-1} Pa、パワーは30mWとした。

様に $2 \times 10^{-1} \text{Pa}$ 、パワーは 80 mW とした。各層のエッチング速度は酸化ケイ素層が 2.5 nm/s 、窒化アルミニウムは 6.5 nm/s であり、本発明に係る (図1、図2) 構造が容易に形成できた。

【0018】以下従来技術と同様の工程を行いしD葉子を製造した。このようにして製造されたD葉子を1枚のウェハより無作為に500個取り出し長期寿命試験を行ったところ、300時間で劣化する葉子が15個生じ、不良率は3%であった。すなわち、劣化率は向上し

た。そして劣化した薬子のへき側面を顕微鏡により観察すると、第3クラッド層に結晶欠陥が観察された薬子にはなかった。このように本発明により結晶欠陥の発生を抑え、信頼性を向上させることができた。

実施例 2

【0019】先ず、第1マスとして、厚さ3.0mmの酸化ナトリ素層を成膜し、次いでスパッタにより厚さ4.0nmの酸化ケイ素層を成膜した。電子ビーム圧力は 2×10^{-7} Pa、バリエーションは30mVとした。電子ビーム装置により形成されたのはスパッタに形成された層と密着でなく、この水蒸気に対するエネルギー障壁層（絶縁層）の30nmに対して、後者は2.5nmより早く早い段階に形成される。

1と両側のマスキングを形成せよ。

【0020】以下従来技術と同様の工程を行い、D素子1を製造した。こうして製造されたD素子を1枚のウェハより無作為に500個取り出し、寿命試験を行った。そのうち、300時間で劣化する素子が13個生じ、不良率は2.6%であった。そして劣化した素子のへき開面を顕微鏡により観察すると、第3クラッド内に結晶欠陥が観察された素子はなかった。

実施例 3
実施例 2 と同様であるが、酸化ケイ素層の成膜方法を電
子ビーム蒸着法 および CVD 法とした

【0021】実施例2と同様の条件下で電子ビーム露光により形成した酸化ケイ酸層（第1マスク）の上にCVDにより形成した酸化ケイ酸層を形成した。この時により、厚さ4.0 nmの酸化ケイ酸層を形成した。この酸化ケイ酸層は50℃とした。CVD法により処理した15 nm/秒で電子ビーム法と比べて1桁以上早くなり、実施例1と同様の形状のマスターマスクを生成できる。

【0022】以下実施例1と同様に、製造したLD素子を同様に通電性試験を実施したところ、劣化した素子は16個あったが、劣化した素子のうち開面を顕微鏡により観察すると、第3クラッド層に結晶欠陥が現れた。素子はなかった。なお上記の実施例以外にも、第1マスキングとして電子ビーム蒸着による酸化ケイ素膜、第1マスクとしてCVDによる酸化ケイ素層を用いていても同様の効果を得られる。

[0023]

【発明の効果】本発明によれば、第1導電型のGaAs基板の一面に、第1導電型のAl_{1-x}Ga_xAs ($0 \leq x \leq 1$)の組成の第1クラッド層、Al_{1-x}Ga_xAs ($0 \leq x \leq 1$)の組成の活性層、第2導電型のAl_{1-x}Ga_xAsの組成の第2クラッド層、第2導電型のGaAsのキャップ層の第3クラッド層、第1導電型のレーザ光軸に平行に2つの位置に分割されて、第1導電型のGa_{1-x}As ($0 \leq x \leq 1$)の組成の電流供給層、第2導電型のAl_{1-x}Ga_xAsの組成の第3クラッド層

層、第2導電型のGaAsのコンタクト層が順に積層されており、第3クラッド層の電流拡散層に挟まれた部分をストライプとするAlGaAs系の半導体レーザ素子において、前記ストライプの前後電流拡散層との界面のストライプ内の角度をキャップ層面に対して鋭角であるようにしたため、第3クラッド層はキャップ層と電流拡散層の側面に囲まれる部分を完全に埋め、格子欠陥は生じない、従って、LD素子の信頼性は高い。

【0024】また、上記の順に各層を成膜する半導体レーザ素子の製造方法において、前記マスクは2層の誘電体層からなり、キャップ層に近い第1の誘電体層のエッチング速度は他の第2の誘電体層のエッチング速度より大きいようにしたため、上記のマスク形状が容易に形成できる。また、本発明に係る製造方法においては、従来の製造方法に付加する新たな装置は不要でありながら、歩留りが向上しているため、コスト低減の効果もある。

【図面の簡単な説明】

【図1】本発明に係るLD素子のへき開面に平行な断面

【図2】本発明に係るLD素子の製造方法におけるスト

ライプ形成前後のウェハのストライプ部の拡大断面図であり、(a)は電流拡散層形成後、(b)は第3クラッド層形成後、

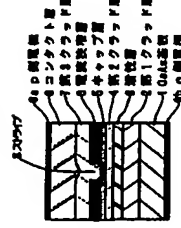
【図3】従来のLD素子のへき開面に平行な断面模式図

【図4】従来のLD素子の主な製造工程後のウェハの1素子相当分を示すへき開面断面模式図であり、(a)はマスクのパターンニング工程後、(b)は電流拡散層の選択エピタキシャル成長後、(c)は電極用金属膜形成後のウェハのストライプ部の拡大断面図であり、(a)は電流拡散層形成後、(b)は第3クラッド層形成後、

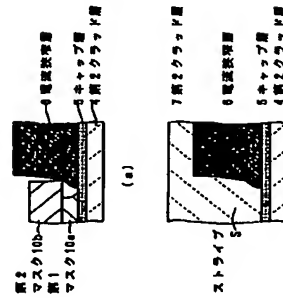
【符号の説明】

- | | | | |
|----|---------|-----|---------|
| 1 | GaAs基板 | 10 | 第1クラッド層 |
| 2 | 第2クラッド層 | 10a | 第1マスク |
| 3 | 活性層 | 10b | 第2マスク |
| 4 | 第2クラッド層 | 20 | 第1電極 |
| 5 | キャップ層 | 9a | p側電極 |
| 6 | 電流拡散層 | 9b | n側電極 |
| 7 | 第3クラッド層 | D | 欠陥部 |
| 8 | コンタクト層 | S | ストライプ |
| 10 | マスク | G | 溝 |

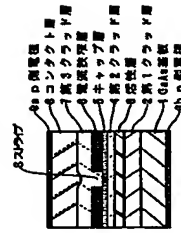
【図1】



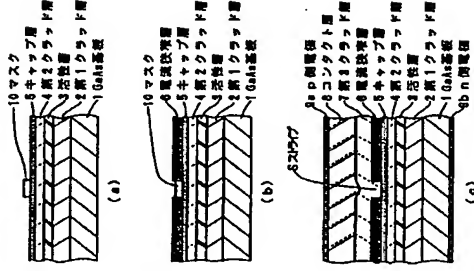
【図2】



【図3】



【図4】



【図5】

